

DEVICE AND METHOD FOR GENERATING HDL DESCRIPTION, AND RECORDING MEDIUM RECORDED WITH HDL DESCRIPTION GENERATING PROGRAM

Patent Number: JP11025136
Publication date: 1999-01-29
Inventor(s): OKANO HIROSHI; SUGA ATSUHIRO; MIYAKE HIDEO; NAGASAWA TATSUYA
Applicant(s):: FUJITSU LTD
Requested Patent: ☐ JP11025136
Application Number: JP19970175528 19970701
Priority Number(s):
IPC Classification: G06F17/50
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To generate a high-quality HDL description even without knowing an HDL by describing the HDL while embedding the required description in an HDL template when a signal name for the HDL description of a specified circuit is applied.

SOLUTION: When a signal name 1 is applied from a data input means, a signal name analytic part 3 and a VHDL template part 4 are provided for generating the VHDL description of a selector concretely designated from a VHDL library 2. The signal name analytic part 3 analyzes the signal name 1, discriminates which section of the VHDL description of the selector the signal name corresponds to from signal class information or the like included in the signal name 1 and extracts information such as the number of signals required for generating the VHDL description of the selector. Besides, the template part 4 receives the information such as the signal name and the number of signals from the analytic part 3, embeds values depending on the signal name and the number of signals or the like in the VHDL template and generates the VHDL description of the designated selector.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 2 5 1 3 6

(43) 公開日 平成 11 年 (1999) 1 月 29 日

(51) Int. Cl.[°] 識別記号 F I
G 0 6 F 17/50 G 0 6 F 15/60 6 5 4 A
// G 0 6 F 9/06 5 3 0 9/06 5 3 0 W
15/60 6 5 4 K

審査請求 未請求 請求項の数 1 0

○ L

(全 1 8 頁)

(21) 出願番号 特願平 9 - 175528

(22) 出願日 平成 9 年 (1997) 7 月 1 日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

(72) 発明者 岡野 廣

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

(72) 発明者 須賀 敦浩

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内

(74) 代理人 弁理士 平戸 哲夫

最終頁に続く

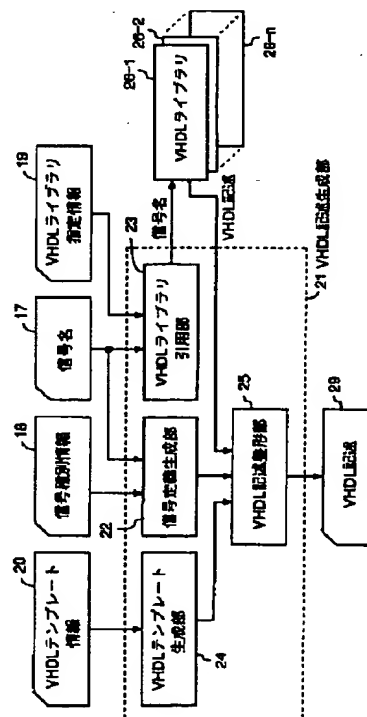
(54) 【発明の名称】 HD L 記述生成装置及び方法並びに HD L 記述生成プログラムを記録した記録媒体

(57) 【要約】

【課題】 ハードウェアの論理検証や論理合成を行う場合に使用される HD L 記述を生成する HD L 記述生成装置に関し、HD L を知らなくとも、記述スタイルの統一された、かつ、記述ミスのない高品質の HD L 記述を簡単に生成できるようにする。

【解決手段】 信号定義生成部 2 2 と、VHDL ライブラリ引用部 2 3 と、VHDL テンプレート生成部 2 4 と、VHDL 記述整形部 2 5 とを備える VHDL 記述生成部 2 1 と、VHDL ライブラリ 2 6 - 1 ~ 2 6 - n とを設け、信号名 1 7 と、信号種別情報 1 8 と、VHDL ライブラリ指定情報 1 9 と、VHDL テンプレート情報 2 0 とが与えられると、設計対象回路の VHDL 記述を生成する構成とする。

図 5 の発明の一実施形態の要部を示すブロック図



【特許請求の範囲】

【請求項1】特定の回路のHDLテンプレートを有し、前記特定の回路をHDL記述するための信号名が与えられると、必要な記述を前記HDLテンプレートに埋め込んで、前記特定の回路のHDL記述を生成するHDLライブラリを備えていることを特徴とするHDL記述生成装置。

【請求項2】特定の回路のHDLテンプレートを有し、前記特定の回路をHDL記述するための信号名が与えられると、必要な記述を前記HDLテンプレートに埋め込んで、前記特定の回路のHDL記述を生成する複数のHDLライブラリと、

設計対象回路をHDL記述するための信号名と、前記設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報とが与えられると、前記HDLライブラリ指定情報が指定するHDLライブラリに対する前記設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、前記HDLライブラリ指定情報が指定するHDLライブラリから出力される前記設計対象回路を構成する特定の回路のHDL記述の連結とを行うことにより、前記設計対象回路のHDL記述を生成するHDL記述生成部とを備えていることを特徴とするHDL記述生成装置。

【請求項3】特定の回路のHDLテンプレートを有し、前記特定の回路をHDL記述するための信号名が与えられると、必要な記述を前記HDLテンプレートに埋め込んで、前記特定の回路のHDL記述を生成する複数のHDLライブラリを使用可能とし、

設計対象回路をHDL記述するための信号名と、前記設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報とが与えられると、前記HDLライブラリ指定情報が指定するHDLライブラリに対する前記設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、前記HDLライブラリ指定情報が指定するHDLライブラリから出力される前記設計対象回路を構成する特定の回路のHDL記述の連結とを行うことにより、前記設計対象回路のHDL記述を生成することを特徴とするHDL記述生成方法。

【請求項4】コンピュータによってHDL記述を生成するためのHDL記述生成プログラムを記録した記録媒体であって、

前記HDL記述生成プログラムは、設計対象回路をHDL記述するための信号名と、前記設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報とが与えられると、前記HDLライブラリ指定情報が指定するHDLライブラリに対する前記設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、前記HDL

ライブラリ指定情報が指定するHDLライブラリから出力される前記設計対象回路を構成する特定の回路のHDL記述の連結とを行わせることにより、前記設計対象回路のHDL記述を生成させるものであることを特徴とするHDL記述生成プログラムを記録した記録媒体。

【請求項5】特定の回路のHDLテンプレートを有し、前記特定の回路をHDL記述するための信号名が与えられると、必要な記述を前記HDLテンプレートに埋め込んで、前記特定の回路のHDL記述を生成する複数のHDLライブラリと、

設計対象回路をHDL記述するための信号名と、前記設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報と、前記設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、前記HDLライブラリ指定情報が指定するHDLライブラリに対する前記設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、前記HDLライブラリ指定情報が指定するHDLライブラリから出力される前記設計対象回路を構成する特定の回路のHDL記述の連結と、前記信号種別情報に基づく信号定義部の生成と、前記HDLテンプレート情報に基づくHDLテンプレートの生成とを行うことにより、前記設計対象回路のHDL記述を生成するHDL記述生成部とを備えていることを特徴とするHDL記述生成装置。

【請求項6】特定の回路のHDLテンプレートを有し、前記特定の回路をHDL記述するための信号名が与えられると、必要な記述を前記HDLテンプレートに埋め込んで、前記特定の回路のHDL記述を生成する複数のHDLライブラリを使用可能とし、

設計対象回路をHDL記述するための信号名と、前記設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報と、前記設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、前記HDLライブラリ指定情報が指定するHDLライブラリに対する前記設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、前記HDLライブラリ指定情報が指定するHDLライブラリから出力される前記設計対象回路を構成する特定の回路のHDL記述の連結と、前記信号種別情報に基づく信号定義部の生成と、前記HDLテンプレート情報に基づくHDLテンプレートの生成とを行うことにより、前記設計対象回路のHDL記述を生成することを特徴とするHDL記述生成方法。

【請求項7】コンピュータによってHDL記述を生成するためのHDL記述生成プログラムを記録した記録媒体であって、

10

20

30

40

50

前記HDL記述生成プログラムは、設計対象回路をHDL記述するための信号名と、前記設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報と、前記設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、前記HDLライブラリ指定情報が指定するHDLライブラリに対する前記設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、前記HDLライブラリ指定情報が指定するHDLライブラリから出力される前記設計対象回路を構成する特定の回路のHDL記述の連結と、前記信号種別情報に基づく信号定義部の生成と、前記HDLテンプレート情報に基づくHDLテンプレートの生成とを行わせることにより、前記設計対象回路のHDL記述を生成させるものであることを特徴とするHDL記述生成プログラムを記録した記録媒体。

【請求項8】設計対象回路をHDL記述するための信号名と、前記設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、前記設計対象回路の階層情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、前記信号名、前記信号種別情報及び前記階層情報に基づく信号定義部の生成及び階層構造のHDL記述の生成と、前記HDLテンプレート情報に基づくHDLテンプレートの生成とを行うことにより、前記設計対象回路のHDL記述を生成するHDL記述生成部を備えていることを特徴とするHDL記述生成装置。

【請求項9】設計対象回路をHDL記述するための信号名と、前記設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、前記設計対象回路の階層情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、前記信号名、前記信号種別情報及び前記階層情報に基づく信号定義部の生成及び階層構造のHDL記述の生成と、前記HDLテンプレート情報に基づくHDLテンプレートの生成とを行うことにより、前記設計対象回路のHDL記述を生成することを特徴とするHDL記述生成方法。

【請求項10】コンピュータによってHDL記述を生成するためのHDL記述生成プログラムを記録した記録媒体であって、

前記HDL記述生成プログラムは、設計対象回路をHDL記述するための信号名と、前記設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、前記設計対象回路の階層情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、前記信号名、前記信号種別情報及び前記階層情報に基づく信号定義部の生成及び階層構造のHDL記述の生成と、前記HDLテンプレート情報に基づくHDLテンプレートの生成とを行わせることにより、前記設計対象回路の

HDL記述を生成させるものであることを特徴とするHDL記述生成プログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ハードウェアの論理検証や論理合成を行う場合に使用されるHDL (Hardware Description Language : ハードウェア記述言語) 記述を生成するHDL記述生成装置及び方法並びにHDL記述生成プログラムを記録した記録媒体に関する。

【0002】近年、集積回路の設計分野においては、VHDLやVerilog-HDLなどのHDLを用いてハードウェアの機能のHDL記述を行い、このHDL記述を用いて、設計するハードウェアの論理検証ならびに論理合成によるハードウェア機能の具体化が行われている。

【0003】ここに、ハードウェアの設計をHDL記述を使用して短期間で行うためには、ハードウェアを論理合成するためのHDL記述の作成を記述スタイルを統一して短期間で行う必要がある。

【0004】

【従来の技術】従来、設計対象回路のHDL記述を行う場合には、HDLの習得から始めて、過去のノウハウに基づいてHDL記述のスタイルのルールを作成し、各設計者がこのルールを理解した上で、人手でHDL記述を行っていた。

【0005】

【発明が解決しようとする課題】しかし、①HDL記述を行うためには、各種HDLの複雑な構文規則を習得する必要があり、設計者がこれを習得するまでには多大な労力と時間を必要とする、②HDL記述の複雑さのために、人手で記述を行う場合には、HDL記述に誤りが混入しやすく、記述ミスの発見と修正に多大な労力と時間をかけなければならない場合がある、③HDL記述では、同様の機能を実現する場合でも、様々な記述スタイルがあるため、HDLを記述した設計者でない設計者がHDLを参照する際に理解が難しい、④記述スタイルが異なる場合、論理的には同様の機能を実現していても、論理合成により生成された回路が異なってしまう場合がある、という問題点があった。

【0006】本発明は、かかる点に鑑み、HDLを知らなくとも、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成し、ハードウェアの設計期間を短縮することができるようにしたHDL記述生成装置及び方法並びにHDL記述生成プログラムを記録した記録媒体を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明中、第1の発明はHDL記述生成装置の発明であって、特定の回路のHDLテンプレートを有し、特定の回路をHDL記述するための信号名が与えられると、必要な記述をHDLテン

レートに埋め込んで、特定の回路のHDL記述を生成するHDLライブラリを備えているというものである。

【0008】本発明中、第1の発明によれば、HDLを知らなくとも、人手で特定の回路のHDL記述を行う場合に比べて簡単な情報である信号名を与えるだけで、特定の回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができる。

【0009】本発明中、第2の発明はHDL記述生成装置の発明であって、特定の回路のHDLテンプレートを有し、特定の回路をHDL記述するための信号名が与えられると、必要な記述をHDLテンプレートに埋め込んで、特定の回路のHDL記述を生成する複数のHDLライブラリと、設計対象回路をHDL記述するための信号名と、設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報とが与えられると、HDLライブラリ指定情報が指定するHDLライブラリに対する設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、HDLライブラリ指定情報が指定するHDLライブラリから出力される設計対象回路を構成する特定の回路のHDL記述の連結とを行うことにより、設計対象回路のHDL記述を生成するHDL記述生成部とを備えているというものである。

【0010】本発明中、第2の発明によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、HDLライブラリ指定情報とを与えるだけで、設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができる。

【0011】本発明中、第3の発明はHDL記述生成方法の発明であって、特定の回路のHDLテンプレートを有し、特定の回路をHDL記述するための信号名が与えられると、必要な記述をHDLテンプレートに埋め込んで、特定の回路のHDL記述を生成する複数のHDLライブラリを使用可能とし、設計対象回路をHDL記述するための信号名と、設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報とが与えられると、HDLライブラリ指定情報が指定するHDLライブラリに対する設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、HDLライブラリ指定情報が指定するHDLライブラリから出力される設計対象回路を構成する特定の回路のHDL記述の連結とを行うことにより、設計対象回路のHDL記述を生成するというものである。

【0012】本発明中、第3の発明によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、HDLライブラリ指定情報とを与えるだけで、設計対象回路につい

て、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができる。

【0013】本発明中、第4の発明はコンピュータによってHDL記述を生成するためのHDL記述生成プログラムを記録した記録媒体であって、HDL記述生成プログラムは、設計対象回路をHDL記述するための信号名と、設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報とが与えられると、HDLライブラリ指定情報が指定するHDLライブラリに対する設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、HDLライブラリ指定情報が指定するHDLライブラリから出力される設計対象回路を構成する特定の回路のHDL記述の連結とを行わせることにより、設計対象回路のHDL記述を生成させるというものである。

【0014】本発明中、第4の発明によれば、HDLを知らなくとも、設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、HDLライブラリ指定情報とを与えるだけで、設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができる。

【0015】本発明中、第5の発明はHDL記述生成装置の発明であって、特定の回路のHDLテンプレートを有し、特定の回路をHDL記述するための信号名が与えられると、必要な記述をHDLテンプレートに埋め込んで、特定の回路のHDL記述を生成する複数のHDLライブラリと、設計対象回路をHDL記述するための信号名と、設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報と、設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、HDLライブラリ指定情報が指定するHDLライブラリに対する設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、HDLライブラリ指定情報が指定するHDLライブラリから出力される設計対象回路を構成する特定の回路のHDL記述の連結と、信号種別情報に基づく信号定義部の生成と、HDLテンプレート情報に基づくHDLテンプレートの生成とを行うことにより、設計対象回路のHDL記述を生成するHDL記述生成部とを備えているというものである。

【0016】本発明中、第5の発明によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、信号種別情報と、HDLライブラリ指定情報と、HDLテンプレート情報とを与えるだけで、設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができる。

【0017】本発明中、第6の発明はHDL記述生成方法の発明であって、特定の回路のHDLテンプレートを

有し、特定の回路をHDL記述するための信号名が与えられると、必要な記述をHDLテンプレートに埋め込んで、特定の回路のHDL記述を生成する複数のHDLライブラリを使用可能とし、設計対象回路をHDL記述するための信号名と、設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報と、設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、HDLライブラリ指定情報が指定するHDLライブラリに対する設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、HDLライブラリ指定情報が指定するHDLライブラリから出力される設計対象回路を構成する特定の回路のHDL記述の連結と、信号種別情報に基づく信号定義部の生成と、HDLテンプレート情報に基づくHDLテンプレートの生成とを行うことにより、設計対象回路のHDL記述を生成するというものである。

【0018】本発明中、第6の発明によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、信号種別情報と、HDLライブラリ指定情報と、HDLテンプレート情報とを与えるだけで、設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができる。

【0019】本発明中、第7の発明はコンピュータによってHDL記述を生成するためのHDL記述生成プログラムを記録した記録媒体であって、HDL記述生成プログラムは、設計対象回路をHDL記述するための信号名と、設計対象回路を構成する特定の回路のHDL記述を生成させるHDLライブラリを指定するHDLライブラリ指定情報と、設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、HDLライブラリ指定情報が指定するHDLライブラリに対する設計対象回路を構成する特定の回路をHDL記述するための信号名の供与と、HDLライブラリ指定情報が指定するHDLライブラリから出力される設計対象回路を構成する特定の回路のHDL記述の連結と、信号種別情報に基づく信号定義部の生成と、HDLテンプレート情報に基づくHDLテンプレートの生成とを行わせることにより、設計対象回路のHDL記述を生成させるというものである。

【0020】本発明中、第7の発明によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、信号種別情報と、HDLライブラリ指定情報と、HDLテンプレート情報とを与えるだけで、設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができる。

【0021】本発明中、第8の発明はHDL記述生成装置の発明であって、設計対象回路をHDL記述するための信号名と、設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、設計対象回路の階層情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、信号名、信号種別情報及び階層情報に基づく信号定義部の生成及び階層構造のHDL記述の生成と、HDLテンプレート情報に基づくHDLテンプレートの生成とを行うことにより、設計対象回路のHDL記述を生成するHDL記述生成部を備えているというものである。

【0022】本発明中、第8の発明によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、信号種別情報と、階層情報と、HDLテンプレート情報とを与えるだけで、階層構造を持つ設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができる。

【0023】本発明中、第9の発明はHDL記述生成方法の発明であって、設計対象回路をHDL記述するための信号名と、設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、設計対象回路の階層情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、信号名、信号種別情報及び階層情報に基づく信号定義部の生成及び階層構造のHDL記述の生成と、HDLテンプレート情報に基づくHDLテンプレートの生成とを行うことにより、設計対象回路のHDL記述を生成するというものである。

【0024】本発明中、第9の発明によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、信号種別情報と、階層情報と、HDLテンプレート情報とを与えるだけで、階層構造を持つ設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができる。

【0025】本発明中、第10の発明はコンピュータによってHDL記述を生成するためのHDL記述生成プログラムを記録した記録媒体であって、HDL記述生成プログラムは、設計対象回路をHDL記述するための信号名と、設計対象回路をHDL記述するための信号名の信号の種別を示す信号種別情報と、設計対象回路の階層情報と、完全なHDL記述に必要なHDLテンプレート情報とが与えられると、信号名、信号種別情報及び階層情報に基づく信号定義部の生成及び階層構造のHDL記述の生成と、HDLテンプレート情報に基づくHDLテンプレートの生成とを行わせることにより、設計対象回路のHDL記述を生成させるというものである。

【0026】本発明中、第10の発明によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、信号種別情

10

20

30

40

50

報と、階層情報と、HDLテンプレート情報とを与えるだけで、階層構造を持つ設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができる。

【0027】

【発明の実施の形態】

第1の発明の一実施形態・・・図1～図5

図1は第1の発明の一実施形態の要部を示すブロック回路図である。図1中、1は特定の回路、たとえば、セレクタをVHDL記述するための信号名であり、信号名1は、標準入力、GUI（グラフィック・ユーザ・インタフェース）又はファイル等のデータ入力手段により与えられるものである。

【0028】また、2はデータ入力手段から信号名1を与えられると、信号名1により具体的に指定されるセレクタのVHDL記述を生成するVHDLライブラリであり、信号名解析部3と、VHDLテンプレート部4とを備えて構成されている。

【0029】信号名解析部3は、信号名1を解析して、信号名1に含まれている信号種別情報などから信号名1に含まれている信号名がセレクタのVHDL記述のどの部分の信号名に対応するのかを判定すると共に、信号の本数など、セレクタのVHDL記述を生成するために必要な情報を抽出する部分である。

【0030】また、VHDLテンプレート部4は、信号名解析部3から与えられる信号名や信号の本数などの情報を受けて、セレクタのVHDLテンプレートに信号名や信号の本数に依存する値を埋め込んで、信号名1により具体的に指定されたセレクタのVHDL記述を生成する部分である。

【0031】なお、5はVHDLテンプレート部4から出力される、即ち、VHDLライブラリ2から出力される信号名1により具体的に指定されたセレクタのVHDL記述である。

【0032】このように構成された第1の発明の一実施形態においては、例えば、セレクタをVHDL記述するための信号名1として、図2Aに示すような信号名が与えられると、図3に示すような2入力1出力のセレクタのVHDL記述が生成され、図4Aに示すような信号名が与えられると、図5に示すような3入力1出力のセレクタのVHDL記述が生成される。

【0033】なお、図2A、図4Aにおいて、“input_al”、“input_bl”、“input_cl”、“select_al”、“select_bl”、“select_cl”、“output_al”は信号名、“+i”、“+s”、“+o”は信号種別を識別するための識別子であり、“+i”は、これに続く信号は入力信号、“+s”は、これに続く信号はセレクト信号、“+o”は、これに続く信号は出力信号であることを示している。

【0034】したがって、図2Aに示す例の場合には、

“input_al”、“input_bl”は入力信号、“select_al”、“select_bl”はセレクト信号、“output_al”は出力信号として識別され、図4Aに示す例の場合には、“input_al”、“input_bl”、“input_cl”は入力信号、“select_al”、“select_bl”、“select_cl”はセレクト信号、“output_al”は出力信号として識別されることになる。

【0035】このように、第1の発明の一実施形態によれば、VHDLを知らなくとも、人手で特定の回路のVHDL記述を行う場合に比べて簡単な情報であるセレクタをVHDL記述するための信号名1をVHDLライブラリ2に与えるだけで、信号名1で指定するセレクタのVHDL記述を生成することができる。

【0036】したがって、VHDLライブラリとして、レジスタや、加算器や、比較器や、ANDゲートや、ORゲート等の特定の回路のVHDLライブラリを備えておく場合には、VHDLを知らなくとも、人手で特定の回路のVHDL記述を行う場合に比べて簡単な情報である特定の回路をVHDL記述するための信号名を与えるだけで、特定の回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のVHDL記述を生成することができるので、ハードウェアの設計期間を短縮することができる。

【0037】なお、第1の発明の一実施形態においては、識別子“+i”、“+s”、“+o”を使用して信号名の信号の種別を識別可能にしているが、与えられる信号名の個数が異なる場合には、信号名を並べる順番を信号種別を識別する方法として使用しても良い。

【0038】即ち、例えば、1番目、2番目の信号は入力信号、3番目、4番目の信号はセレクト信号、5番目の信号は出力信号というルールをVHDLライブラリ2に埋め込むようにしても良い。

【0039】また、例えば、入力信号の場合は信号名の先頭に“in”を付けるなど、各信号名の先頭に信号種別を識別できるような記述を付加し、VHDLライブラリ2に、これを識別する手段を持たせるようにしても良い。

【0040】また、2入力1出力のセレクタをVHDL記述するための信号名として、図2Aに示す信号名の代わりに、図2Bに示すように、信号名に、その信号のビット幅を付加して記述するようにしても良く、この場合には、図3に示す

output_al <= 'x' ;

という記述の代わりに、

output_al <= bit32' (others => 'x') ;

という記述を生成するようにVHDLライブラリ2のVHDLテンプレート部4を構成することによりビット幅の情報を反映させることができる。

【0041】また、3入力1出力のセレクタをVHDL記述するための信号名として、図4Aに示す信号名の代

わりに、図4Bに示すように、信号名に、その信号のビット幅を付加して記述するようにしても良く、この場合には、図5に示す

```
output_al <= 'x' ;
```

という記述の代わりに、

```
output_al <= bit32'(others => 'x') ;
```

という記述を生成するようにVHDLライブラリ2のVHDLテンプレート部4を構成することにより、ビット幅の情報を反映させることができる。

【0042】また、第1の発明の一実施形態においては、HDLとしてVHDLを使用しているが、この代わりに、Verilog-HDLなど、他のHDLを使用するようにしても良い。

【0043】第2の発明の一実施形態・図6～図8 図6は第2の発明の一実施形態の要部を示すブロック回路図である。図6中、7は設計対象回路をVHDL記述するための信号名であり、標準入力、GUI又はファイル等のデータ入力手段(図示せず)により与えられるものである。

【0044】また、8は設計対象回路を構成する特定の回路のVHDL記述を生成させるVHDLライブラリを指定するVHDLライブラリ指定情報であり、標準入力、GUI又はファイル等のデータ入力手段により与えられるものである。

【0045】また、9は設計対象回路のVHDL記述を生成するVHDL記述生成部であり、VHDLライブラリ引用部10と、VHDL記述整形部11とを備えて構成されている。

【0046】VHDLライブラリ引用部10は、信号名7とVHDLライブラリ指定情報8とが与えられると、VHDLライブラリ指定情報8が指定するVHDLライブラリに対して設計対象回路を構成する特定の回路をVHDL記述するために使用する信号名を与える部分である。

【0047】また、VHDL記述整形部11は、VHDLライブラリ引用部10が指定したVHDLライブラリから出力される設計対象回路を構成する特定の回路のVHDL記述を連結して設計対象回路のVHDL記述を生成する部分である。

【0048】また、12-1、12-2、・・・、12-nは、それぞれ、特定の回路に対応して設けられ、特定の回路をVHDL記述するための信号名が与えられると、与えられる信号名により具体的に指定される特定の回路のVHDL記述を生成するVHDLライブラリであり、たとえば、VHDLライブラリ12-1はセクタのVHDL記述を生成するVHDLライブラリ、VHDLライブラリ12-2はレジスタのVHDL記述を生成するVHDLライブラリである。

【0049】図7はVHDLライブラリ12-1、12-2、・・・、12-nの構成を示すブロック回路図で

あり、13は信号名7に含まれている信号種別情報などから信号名7に含まれている信号名がセクタのVHDL記述のどの部分の信号名に対応するのかを判定すると共に、信号の本数など、特定の回路のVHDL記述を生成するために必要な情報を抽出する信号名解析部である。

【0050】また、14は信号名解析部13から与えられる信号名や信号の本数などの情報を受けて、特定の回路のVHDLテンプレートに信号名や信号の本数に依存する値を埋め込んで、信号名7により具体的に指定された特定の回路のVHDL記述を生成するVHDLテンプレート部である。

【0051】また、図6において、15はVHDL記述整形部11から出力される、即ち、VHDL記述生成部9から出力される信号名7で指定された設計対象回路のVHDL記述である。

【0052】このように構成された第2の発明の一実施形態においては、第3の発明の一実施形態が実行され、設計対象回路をVHDL記述するための信号名7と、設計対象回路を構成する特定の回路のVHDL記述を生成させるVHDLライブラリを指定するVHDLライブラリ指定情報8とがVHDL記述生成部9に与えられると、VHDLライブラリ引用部10におけるVHDLライブラリ指定情報8が指定するVHDLライブラリに対する設計対象回路を構成する特定の回路をVHDL記述するための信号名の供与と、VHDL記述整形部11におけるVHDLライブラリ指定情報8が指定するVHDLライブラリから出力される設計対象回路を構成する特定の回路のVHDL記述の連結とが行われ、設計対象回路のVHDL記述が生成される。

【0053】なお、第3の発明の一実施形態は、VHDL記述生成部9に対して、設計対象回路をVHDL記述するための信号名7と、設計対象回路を構成する特定の回路のVHDL記述を生成させるVHDLライブラリを指定するVHDLライブラリ指定情報8とがVHDL記述生成部9に与えられると、VHDLライブラリ引用部10におけるVHDLライブラリ指定情報8が指定するVHDLライブラリに対する設計対象回路を構成する特定の回路をVHDL記述するための信号名の供与と、VHDL記述整形部11におけるVHDLライブラリ指定情報8が指定するVHDLライブラリから出力される設計対象回路を構成する特定の回路のVHDL記述の連結とを行わせ、設計対象回路のVHDL記述を生成させるVHDL記述生成プログラムを記録した記録媒体である第4の発明の一実施形態を用意することで、コンピュータにより実行することができる。

【0054】図8Aは第2の発明の一実施形態を使用して、2つの入力データから1つの入力データを選択してリセット・ライトイネーブル付きレジスタに格納して出力する回路を生成させる場合に第2の発明の一実施形態

に与えるべき信号名7及びVHDLライブラリ指定情報8を示しており、図9は、この場合に生成されるVHDL記述15を示している。

【0055】なお、図8Aにおいて、“selector”、“register”はVHDLライブラリ指定情報8であり、“selector”はセレクトのVHDLライブラリ12-1を指定するVHDLライブラリ指定情報、“register”はレジスタのVHDLライブラリ12-2を指定するVHDLライブラリ指定情報である。

【0056】ここに、“selector”に続く記述は、セレクトのVHDLライブラリ12-1に対する信号名であり、“register”に続く記述は、レジスタのVHDLライブラリ12-2に対する信号名であることがルール化されている。

【0057】また、“input_al”、“input_bl”、“select_al”、“select_bl”、“output_al”、“we_al”、“reset_al”、“output_bl”は信号名であり、“+i”、“+s”、“+o”、“+w”、“+r”は信号種別を識別するための識別子である。

【0058】なお、“+i”は、これに続く信号は入力信号、“+s”は、これに続く信号はセレクト信号、“+o”は、これに続く信号は出力信号、“+w”は、これに続く信号はライトイネーブル信号、“+r”は、これに続く信号はリセット信号であることを示す識別子である。

【0059】したがって、“selector”においては、“input_al”、“input_bl”は入力信号、“select_al”、“select_bl”はセレクト信号、“output_al”は出力信号として識別されることになる。

【0060】また、“register”においては、“output_al”は入力信号、“we_al”はライトイネーブル信号、“reset_al”はリセット信号、“output_bl”は出力信号として識別されることになる。

【0061】また、“-nw”はライトイネーブル信号の本数を示すオプションの識別子、“-t”はレジスタのタイプを示すオプションの識別子であり、“rw”はリセット付き・ライトイネーブル付きであることを示している。

【0062】また、図9における“zz_il_q”の記述中、“zz”は、VHDLライブラリ12-1、12-2、・・・、12-nのいずれかで独自に生成した信号であることを示し、“il”は1番目のレジスタの信号であることを示し、“q”はレジスタの正相出力であることを示している。

【0063】このように、第2の発明の一実施形態によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である設計対象回路をVHDL記述するために使用する信号名7と、VHDLライブラリ指定情報8とをVHDL記述生成部9に与えるだけで、設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質の設計対象

回路のHDL記述を生成することができるので、ハードウェアの設計期間を短縮することができる。

【0064】なお、第2の発明の一実施形態においては、セレクトの場合、識別子“+i”、“+s”、“+o”を使用して信号種別の識別を可能にし、レジスタの場合、“+o”、“+w”、“+r”を使用して信号種別の識別を可能にしているが、与えられる信号名の個数が異なる場合には、信号名を並べる順番を信号種別を識別する方法としても良い。

10 【0065】即ち、例えば、セレクトにおいては、1番目、2番目の信号は入力信号、3番目、4番目の信号はセレクト信号、5番目の信号は出力信号、レジスタにおいては、1番目の信号は入力信号、2番目の信号はライトイネーブル信号、3番目の信号はリセット信号というルールをVHDLライブラリ12-1、12-2に埋め込むようにしても良い。

【0066】また、第2の発明の一実施形態においては、信号名7とVHDLライブラリ指定情報8との対応付けは、VHDLライブラリ指定情報8の右側に信号名7を併記することで実現しているが、対応関係がVHDL記述生成部9において解釈可能であれば、どのような方法でも良い。

【0067】また、例えば、入力信号の場合は信号名の先頭に“in”を付けるなど、各信号名の先頭に信号種別を識別できるような記述を付加し、VHDLライブラリに、これを識別する手段を持たせるようにしても良い。

【0068】また、ANDゲートのような場合には、input_al and input_bl = output_al等のように何らかの形態で論理情報を与えるようにし、VHDLライブラリ側でこれをVHDL記述に変換するように構成しても良い。

【0069】また、2つの入力データから1つの入力データを選択してリセット・ライトイネーブル付きレジスタに格納して出力する回路をVHDL記述するための信号名として、図8Aに示す信号名の代わりに、図8Bに示すように、信号名に、その信号のビット幅を付加して記述するようにしても良く、この場合には、図9に示す output_al <= 'x' ;

という記述の代わりに、

40 output_al <= bit32' (others => 'x') ;

という記述を生成すると共に、

zz_il_q <= '0' ;

という記述の代わりに、

zz_il_q <= bit32' (others => '0') ;

という記述を生成するようにVHDLライブラリ12-1、12-2のVHDLテンプレート部を構成することにより、ビット幅の情報を反映させることができる。

【0070】また、第2の発明の一実施形態においては、HDLとしてVHDLを使用しているが、この代わりに、Verilog-HDLなど、他のHDLを使用するよ

うにしても良い。

【0071】第5の発明の一実施形態・・・図10～図18

図10は第5の発明の一実施形態を示すブロック回路図である。図10中、17は設計対象回路をVHDL記述するための信号名であり、標準入力、GUI又はファイル等のデータ入力手段(図示せず)により与えられるものである。

【0072】また、18は信号種別情報であり、信号が、入力信号であるか、出力信号であるか、入出力信号であるか、ビットタイプ(単方向信号)であるか、バスタイプ(双方向信号)であるか、信号幅は何ビットか、内部信号であるか、外部信号であるか等の情報を含むものである。

【0073】また、19は設計対象回路を構成する特定の回路のVHDL記述を生成させるVHDLライブラリを指定するVHDLライブラリ指定情報であり、標準入力、GUI又はファイル等のデータ入力手段により与えられるものである。

【0074】また、20は回路モジュールとして完全なVHDL記述を生成するためのVHDLテンプレート情報であり、使用するパッケージを「use」文を用いて指定する記述、使用するlibraryを「library」文を用いて指定する記述、「entity」文の記述、「architecture」文の記述等、VHDLを用いてハードウェアの記述を行う際に必須となる記述を生成するために必要な情報や、論理合成ツールや、シミュレーションツール等に必要となる記述を含み、標準入力、GUI又はファイル等のデータ入力手段により与えられるものである。

【0075】また、21は設計対象回路のVHDL記述を生成するVHDL記述生成部であり、信号定義生成部22と、VHDLライブラリ引用部23と、VHDLテンプレート生成部24と、VHDL記述整形部25とを備えて構成されている。

【0076】信号定義生成部22は、信号名17と信号種別情報18とを受け取って、VHDL記述中の信号定義部(例えば、図15に示すB1部、B2部)を生成する部分である。

【0077】また、VHDLライブラリ引用部23は、信号名17とVHDLライブラリ指定情報19とが与えられると、VHDLライブラリ指定情報19が指定するVHDLライブラリに対して設計対象回路を構成する特定の回路をVHDL記述するために使用する信号名を与える部分である。

【0078】また、VHDLテンプレート生成部24は、VHDLテンプレート情報20が与えられると、VHDLテンプレート(例えば、図15に示すA部、図18に示すD部)を生成する部分である。

【0079】また、VHDL記述整形部25は、信号定義生成部22から出力される信号定義部と、VHDLラ

イブラリ引用部23から指定されたVHDLライブラリから出力される設計対象回路を構成する特定の回路のVHDL記述と、VHDLテンプレート生成部24から出力されるVHDLテンプレートとを受け取り、設計対象回路のVHDL記述を生成する部分である。

【0080】また、26-1、26-2、・・・、26-nは、それぞれ、特定の回路に対応して設けられ、特定の回路をVHDL記述するための信号名が与えられると、与えられる信号名により具体的に指定される特定の回路のVHDL記述を生成するVHDLライブラリであり、たとえば、VHDLライブラリ26-1はセレクタのVHDL記述を生成するVHDLライブラリ、VHDLライブラリ26-2はレジスタのVHDL記述を生成するVHDLライブラリである。

【0081】図11はVHDLライブラリ26-1、26-2、・・・、26-nの構成を示すブロック回路図であり、図11中、27は信号名17に含まれる信号種別情報18などから信号名17に含まれる信号名が特定の回路のVHDL記述のどの部分の信号名に対応するのかを判定すると共に、信号の本数など、特定の回路のVHDL記述を生成するために必要な情報を抽出する信号名解析部である。

【0082】また、28は信号名解析部27から与えられる信号名や信号の本数などの情報を受けて、セレクタのVHDLテンプレートに信号名や信号の本数に依存する値を埋め込んで、信号名17により具体的に指定されたセレクタのVHDL記述を生成するVHDLテンプレート部である。

【0083】また、図10において、29はVHDL記述整形部25から出力される、即ち、VHDL記述生成部21から出力される信号名17で指定された設計対象回路のVHDL記述である。

【0084】このように構成された第5の発明の一実施形態においては、第6の発明の一実施形態が実行され、設計対象回路をVHDL記述するための信号名17と、信号種別情報18と、VHDLライブラリ指定情報19と、VHDLテンプレート情報20とがVHDL記述生成部21に与えられると、信号定義生成部22における信号種別情報18に基づく信号定義部の生成と、VHDLライブラリ引用部23におけるVHDLライブラリ指定情報19が指定するVHDLライブラリに対する設計対象回路を構成する特定の回路をVHDL記述するための信号名の供与と、VHDLテンプレート生成部24におけるVHDLテンプレートの生成と、VHDL記述整形部25におけるVHDLライブラリ指定情報が指定するVHDLライブラリから出力される設計対象回路を構成する特定の回路のVHDL記述の連結とが行われ、設計対象回路のVHDL記述が生成される。

【0085】なお、第6の発明の一実施形態は、設計対象回路をVHDL記述するための信号名17と、信号種

別情報 18 と、VHDL ライブラリ指定情報 19 と、VHDL テンプレート情報 20 とが VHDL 記述生成部 21 に与えられると、信号定義生成部 22 における信号種別情報 18 に基づく信号定義部の生成と、VHDL ライブラリ引用部 23 における VHDL ライブラリ指定情報 19 が指定する VHDL ライブラリに対する設計対象回路を構成する特定の回路を VHDL 記述するための信号名の供与と、VHDL テンプレート生成部 24 における VHDL テンプレートの生成と、VHDL 記述整形部 25 における VHDL ライブラリ指定情報が指定する VHDL ライブラリから出力される設計対象回路を構成する特定の回路の VHDL 記述の連結とを行わせ、設計対象回路の VHDL 記述を生成させる VHDL 記述生成プログラムを記録した記録媒体である第 7 の発明の一実施形態を用意することで、コンピュータにより実行することができる。

【0086】図 12、図 13 及び図 14 は、それぞれ、本発明の一実施形態を使用して 2 つの入力データを 2 つのセクタで独立に選択して、その出力をレジスタに格納して出力する回路を生成させる場合に第 5 の発明の一実施形態に与えるべき信号名 17、信号種別情報 18、VHDL テンプレート情報 20、図 15～図 18 は、この場合に生成される VHDL 記述を示している。

【0087】なお、図 14 に示す VHDL テンプレート情報 20 においては、1 行目は利用するライブラリの指定、2 行目は利用するパッケージの指定、3 行目は VHDL を生成するブロック名を示している。

【0088】また、図 15～図 18 においては、A 部及び D 部は VHDL テンプレート、B 1 部及び B 2 部は信号定義部、C 部はセクタ及びレジスタの VHDL 記述である。

【0089】また、図 18 の D 部においては、1 行目は論理合成ツールへの指示で、この行以下は論理合成の対象としないという意味、2 行目～5 行目は VHDL のコンフィギュレーションの記述、6 行目は論理合成ツールへの指示で、この行以下は論理合成の対象とするという意味である。

【0090】このように、第 5 の発明の一実施形態によれば、HDL を知らなくとも、人手で設計対象回路の HDL 記述を行う場合に比べて簡単な情報である信号名 17 と、信号種別情報 18 と、VHDL ライブラリ指定情報 19 と、VHDL テンプレート情報 20 とを VHDL 記述生成部 21 に与えるだけで、設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質の設計対象回路の HDL 記述を生成することができるので、ハードウェアの設計期間を短縮することができる。

【0091】また、第 5 の発明の一実施形態においては、HDL として VHDL を使用しているが、この代わりに、Verilog-HDL など、他の HDL を使用するよ

うにしても良い。

【0092】第 8 の発明の一実施形態・図 19～図 25

図 19 は第 8 の発明の一実施形態を示すブロック回路図である。図 19 中、31 は設計対象回路を VHDL 記述するための信号名であり、標準入力、GUI 又はファイル等のデータ入力手段により与えられるものである。

【0093】また、32 は信号種別情報であり、信号が、入力信号であるか、出力信号であるか、入出力信号であるか、ビットタイプであるか、バスタイプであるか、信号幅は何ビットか、内部信号であるか、外部信号であるか等の情報を含むものである。

【0094】また、33 は設計対象回路の階層情報であり、何らかの手段により信号名と対応付けられており、標準入力、GUI 又はファイル等のデータ入力手段により与えられるものである。

【0095】また、34 は回路モジュールとして完全な VHDL 記述を生成するための VHDL テンプレート情報であり、使用するパッケージを「use」文を用いて指定する記述、使用する library を「library」文を用いて指定する記述、「entity」文の記述、「architecture」文の記述等、VHDL を用いてハードウェアの記述を行う際に必須となる記述を生成するために必要な情報や、論理合成ツールや、シミュレーションツール等に必要記述を含み、標準入力、GUI 又はファイル等のデータ入力手段により与えられるものである。

【0096】また、35 は設計対象回路の VHDL 記述を生成する VHDL 記述生成部であり、信号定義生成部 36 と、階層情報解析部 37 と、VHDL テンプレート生成部 38 と、VHDL 記述整形部 39 とを備えて構成されている。

【0097】信号定義生成部 36 は、信号名 31 と信号種別情報 32 とが与えられると、VHDL 記述中の信号定義部（図 23 の B 1 部、図 24 の B 2 部）を生成する部分である。

【0098】また、階層情報解析部 37 は、階層情報 33 を解析する部分、VHDL テンプレート生成部 38 は、VHDL テンプレート情報 34 を受け取り VHDL テンプレート（例えば、図 23 の A 部、図 25 の D 部）を生成する部分である。

【0099】また、VHDL 記述整形部 39 は、信号定義生成部 36 から出力される信号定義部と、VHDL テンプレート生成部 38 から出力される VHDL テンプレートとを受け取り、設計対象回路の VHDL 記述を生成する部分である。

【0100】このように構成された第 8 の発明の一実施形態においては、第 9 の発明の一実施形態が実行され、設計対象回路を VHDL 記述するための信号名 31 と、信号種別情報 32 と、階層情報 33 と、VHDL テンプレート情報 34 とが VHDL 記述生成部 35 に与えられ

ると、階層情報解析部37における階層情報33の解析と、信号定義生成部36における信号定義部の生成と、VHDLテンプレート生成部38におけるVHDLテンプレートの生成とが行われ、設計対象回路のVHDL記述が生成される。

【0101】なお、第9の発明の一実施形態は、設計対象回路をVHDL記述するための信号名31と、信号種別情報32と、階層情報33と、VHDLテンプレート情報34とがVHDL記述生成部35に与えられると、階層情報解析部37における階層情報33の解析と、信号定義生成部36における信号定義部の生成と、VHDLテンプレート生成部38におけるVHDLテンプレートの生成とを行わせ、設計対象回路のVHDL記述を生成させるVHDL記述生成プログラムを記録した記録媒体である第10の発明の一実施形態を用意することで、コンピュータにより実行することができる。

【0102】ここに、第8の発明の一実施形態は、たとえば、図20に示すように、2つの回路ブロックblock1、block2を下位階層に持つ回路ブロックjissirei4をVHDL記述する場合に適用されるものである。

【0103】図21は、図20に示す設計対象回路をVHDL記述する場合に第8の発明の一実施形態に与えるべき信号名31及び信号種別情報32、図22は同じく階層情報33、図23～図25は、この場合に生成されるVHDL記述40を示している。

【0104】なお、図21に示す信号名31及び信号種別情報32の例においては、信号名31及び信号種別情報32を表形式で記述し、その対応関係を明らかにしているが、各情報の対応関係を識別することができれば、表形式以外の形式で良い。

【0105】また、図22に示す階層情報33の例においては、左側に記述されたブロックが上位階層、右側に記述されたブロックが下位階層であることを示しており、“-”、“+”を用いて、その包含関係が明確になるようにしているが、“-”、“+”の代わりに、“{”、“}”を用いて、階層情報を記述するようにしても良い。

【0106】また、図23～図25においては、A部及びD部はVHDLテンプレート、B1部及びB2部は信号定義部、E1部は回路ブロックjissirei4のVHDL記述、E2部は回路ブロックblock1、block2のVHDL記述である。

【0107】このように、第8の発明の一実施形態によれば、HDLを知らなくとも、人手で階層構造を持つ設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名31と、信号種別情報32と、階層情報33と、VHDLテンプレート情報34とをVHDL記述生成部35に与えるだけで、階層構造を持つ設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質の階層構造を持つ設計対象回路のHDL

記述を生成することができるので、ハードウェアの設計期間を短縮することができる。

【0108】また、第8の発明の一実施形態においては、HDLとしてVHDLを使用しているが、この代わりに、Verilog-HDLなど、他のHDLを使用するようにしても良い。

【0109】

【発明の効果】本発明中、第1の発明によれば、HDLを知らなくとも、人手で特定の回路のHDL記述を行う場合に比べて簡単な情報である特定の回路をHDL記述するための信号名を与えるだけで、特定の回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができるので、ハードウェアの設計期間を短縮することができる。

【0110】本発明中、第2、第3又は第4の発明によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、HDLライブラリ指定情報とを与えるだけで、設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができるので、ハードウェアの設計期間を短縮することができる。

【0111】本発明中、第5、第6又は第7の発明によれば、HDLを知らなくとも、人手で設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、信号種別情報と、HDLライブラリ指定情報と、HDLテンプレート情報とを与えるだけで、設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質のHDL記述を生成することができるので、ハードウェアの設計期間を短縮することができる。

【0112】本発明中、第8、第9又は第10の発明によれば、HDLを知らなくとも、人手で階層構造を持つ設計対象回路のHDL記述を行う場合に比べて簡単な情報である信号名と、信号種別情報と、階層情報と、HDLテンプレート情報とを与えるだけで、階層構造を持つ設計対象回路について、記述スタイルの統一された、かつ、記述ミスのない高品質の階層構造を持つHDL記述を生成することができるので、ハードウェアの設計期間を短縮することができる。

【図面の簡単な説明】

【図1】本発明中、第1の発明の一実施形態の要部を示すブロック回路図である。

【図2】本発明中、第1の発明の一実施形態に与える信号名の例を示す図である。

【図3】本発明中、第1の発明の一実施形態により生成されるVHDL記述の例を示す図である。

【図4】本発明中、第1の発明の一実施形態に与える信号名の例を示す図である。

【図5】本発明中、第1の発明の一実施形態により生成されるVHDL記述の例を示す図である。

【図 6】本発明中、第 2 の発明の一実施形態の要部を示すブロック回路図である。

【図 7】本発明中、第 2 の発明の一実施形態が備える VHDL ライブラリの構成を示すブロック回路図である。

【図 8】本発明中、第 2 の発明の一実施形態に与える信号名及び VHDL ライブラリ指定情報の例を示す図である。

【図 9】本発明中、第 2 の発明の一実施形態により生成される VHDL 記述の例を示す図である。

【図 10】本発明中、第 5 の発明の一実施形態の要部を示すブロック回路図である。

【図 11】本発明中、第 5 の発明の一実施形態が備える VHDL ライブラリの構成を示すブロック回路図である。

【図 12】本発明中、第 5 の発明の一実施形態に与える信号名及び VHDL ライブラリ指定情報の例を示す図である。

【図 13】本発明中、第 5 の発明の一実施形態に与える信号種別情報の例を示す図である。

【図 14】本発明中、第 5 の発明の一実施形態に与える VHDL テンプレート情報の例を示す図である。

【図 15】本発明中、第 5 の発明の一実施形態により生成される VHDL 記述の例を分図して示す図である。

【図 16】本発明中、第 5 の発明の一実施形態により生成される VHDL 記述の例を分図して示す図である。

【図 17】本発明中、第 5 の発明の一実施形態により生成される VHDL 記述の例を分図して示す図である。

【図 18】本発明中、第 5 の発明の一実施形態により生成される VHDL 記述の例を分図して示す図である。

【図 19】本発明中、第 8 の発明の一実施形態の要部を示すブロック回路図である。

【図 20】本発明中、第 8 の発明の一実施形態が適用される階層構造を持つ回路ブロックの例を示すブロック回路図である。

【図 2】

信号名 1 の例を示す図

(A)

```
+i input_a1 input_b1 +s select_a1 select_b1 +o output_a1
```

(B)

```
+i input_a1[0:31] input_b1[0:31] +s select_a1 select_b1 +o output_a1[0:31]
```

【図 21】本発明中、第 8 の発明の一実施形態に与える信号名及び信号種別情報の例を示す図である。

【図 22】本発明中、第 8 の発明の一実施形態に与える階層情報の例を示す図である。

【図 23】本発明中、第 8 の発明の一実施形態により生成される VHDL 記述の例を分図して示す図である。

【図 24】本発明中、第 8 の発明の一実施形態により生成される VHDL 記述の例を分図して示す図である。

【図 25】本発明中、第 8 の発明の一実施形態により生成される VHDL 記述の例を分図して示す図である。

【符号の説明】

(図 1)

1 信号名

2 VHDL ライブラリ

5 VHDL 記述

(図 6)

7 信号名

8 VHDL ライブラリ指定情報

9 VHDL 記述生成部

12-1、12-2、12-n VHDL ライブラリ

15 VHDL 記述

(図 10)

17 信号名

18 信号種別情報

19 VHDL ライブラリ指定情報

21 VHDL 記述生成部

26-1、26-2、26-n VHDL ライブラリ

29 VHDL 記述

(図 19)

31 信号名

32 信号種別情報

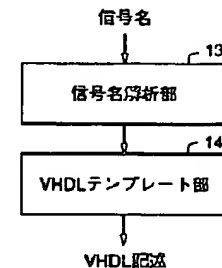
33 階層情報

35 VHDL 記述生成部

40 VHDL 記述

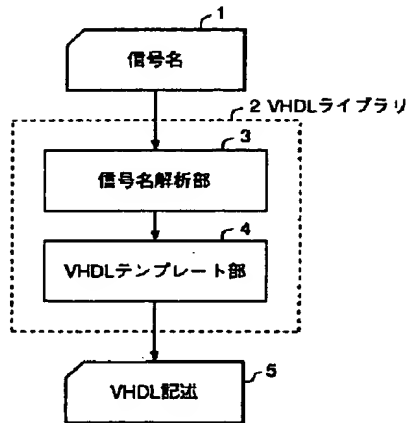
【図 7】

VHDL ライブラリ 12-1、12-2、...、12-n の構成を示すブロック回路図



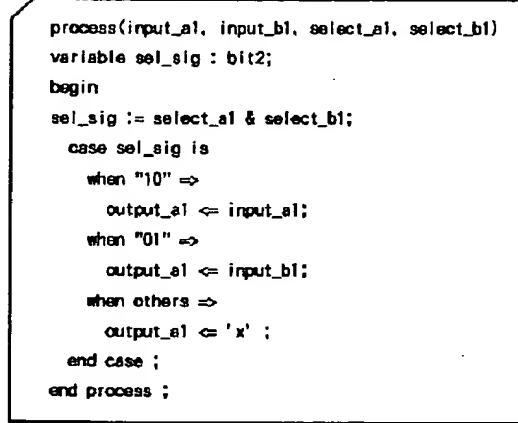
【図1】

第1の発明の一実施形態の要部を示すブロック回路図



【図3】

VHDL記述5の例を示す図



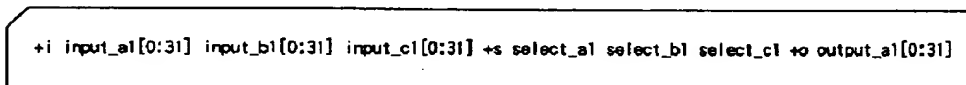
【図4】

信号名1の例を示す図

(A)

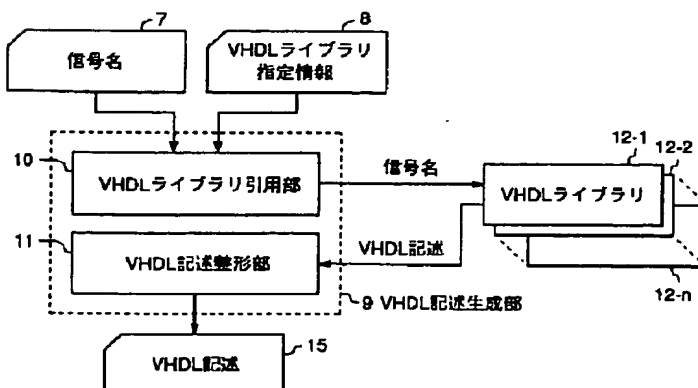


(B)



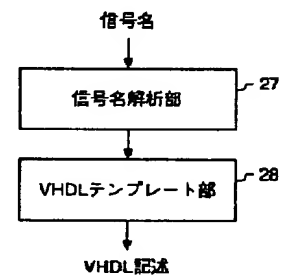
【図6】

第2の発明の一実施形態の要部を示すブロック回路図



【図11】

VHDLライブラリ26-1、26-2、...、26-nの構成を示すブロック回路図



【図13】

信号種別情報18の例を示す図

信号名	タイプ	bit/bus	内部/外部	信号幅
reset_a1	in	bit	外部	1
input_a1	in	bit	外部	16
input_b1	in	bit	外部	16
select_a1	in	bit	外部	1
select_b1	in	bit	外部	1
select_a2	in	bit	外部	1
select_b2	in	bit	外部	1
we_a1	in	bit	外部	1
output_b1	out	bit	外部	16
output_a1	-	bit	内部	16

【図 5】

VHDL記述5の例を示す図

```

process(input_a1, input_b1, input_c1, select_a1, select_b1, select_c1)
variable sel_sig : bit3 ;
begin
sel_sig := select_a1 & select_b1 & select_c1;
case sel_sig is
when "100" =>
output_a1 <= input_a1;
when "010" =>
output_a1 <= input_b1;
when "001" =>
output_a1 <= input_c1;
when others =>
output_a1 <= 'x' ;
end case ;
end process ;

```

【図 1 4】

VHDLテンプレート情報20の例を示す図

```

library = IEEE, jissirei3
package = IEEE.std_logic.all, jissirei3.pack.all
block = jissirei3

```

【図 2 2】

階層情報33の例を示す図

```

jissirei5 ---+--- block1
              |
              +--- block2

```

【図 8】

信号名7及びVHDLライブラリ指定情報8の例を示す図

(A)

```

selector +i input_a1 input_b1 +s select_a1 select_b1 +o output_a1
register +i output_a1 +w we_a1 -rw 1 +r reset_a1 +o output_b1 -t rw

```

8
VHDLライブラリ
指定情報

7
信号名

(B)

```

selector +i input_a1[0:31] input_b1[0:31] +s select_a1 select_b1 +o output_a1[0:31]
register +i output_a1[0:31] +w we_a1 -rw 1 +r reset_a1 +o output_b1[0:31] -t rw

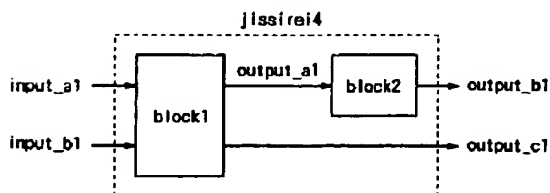
```

8
VHDLライブラリ
指定情報

7
信号名

【図 2 0】

階層構造を持つ回路ブロックの例を示すブロック回路図



【図9】

VHDL記述15の例を示す図

```

process(input_a1, input_b1, select_a1, select_b1)
variable sel_sig : bit2 ;
begin
sel_sig := select_a1 & select_b1;
case sel_sig is
when "10" =>
output_a1 <= input_a1;
when "01" =>
output_a1 <= input_b1;
when others =>
output_a1 <= 'x' ;
end case ;
end process ;
process(z_clock, reset_a1)
begin
if reset_a1 = '1' then
zz_i1_q <= '0' ;
elsif z_clock = '1' and z_clock'event then
if (we_a1 = '1') then
zz_i1_q <= output_a1 ;
end if;
end if;
end process ;
output_b1 <= zz_i1_q ;

```

【図16】

VHDL記述29の例を分図して示す図

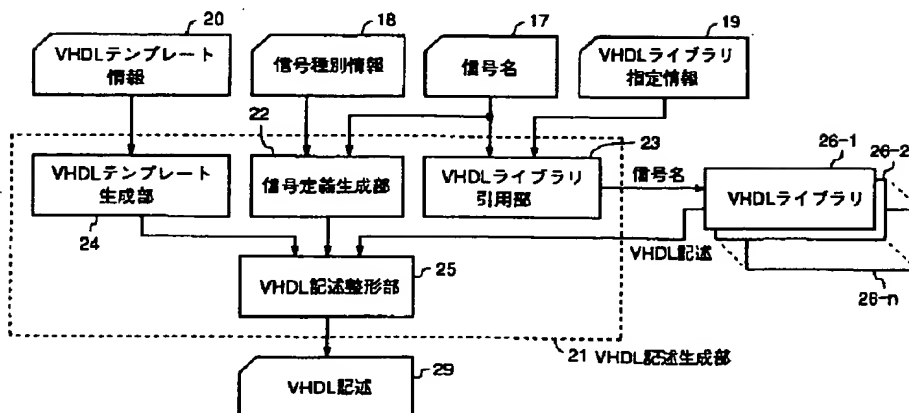
```

begin
process(input_a1, input_b1, select_a1, select_b1)
variable sel_sig : bit2 ;
begin
sel_sig := select_a1 & select_b1 ;
case sel_sig is
when "10" =>
output_a1(0 to 7) <= input_a1(0 to 7) ;
when "01" =>
output_a1(0 to 7) <= input_b1(0 to 7) ;
when others =>
output_a1(0 to 7) <= bit8'(others => 'x') ;
end case;
end process;

```

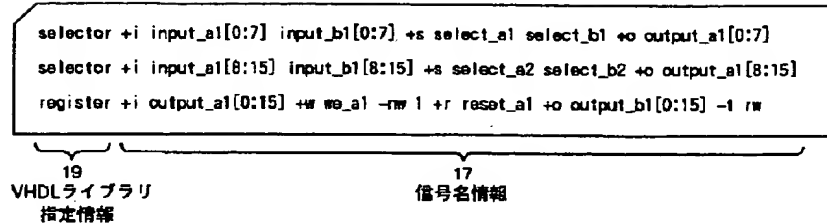
【図10】

第5の発明の一実施形態の要部を示すブロック回路図



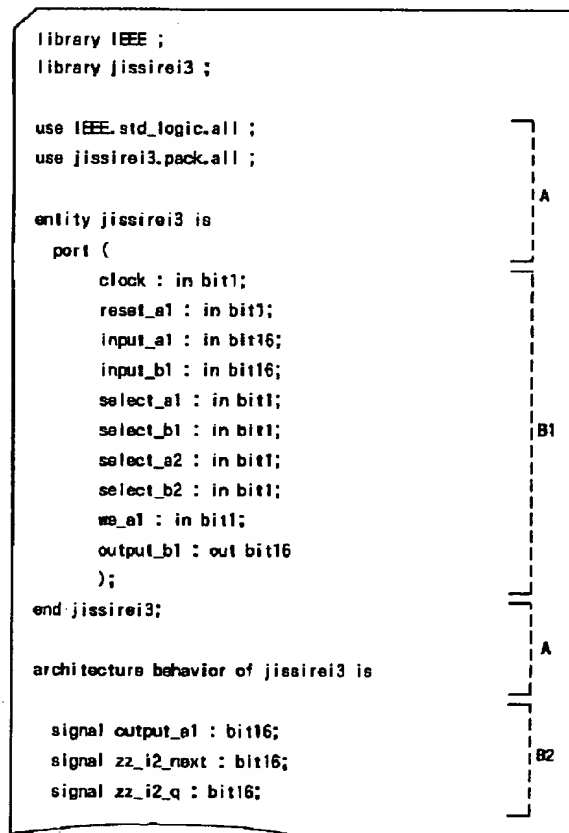
【図 1 2】

信号名 1 7 及びVHDLライブラリ指定情報 1 9 の例を示す図



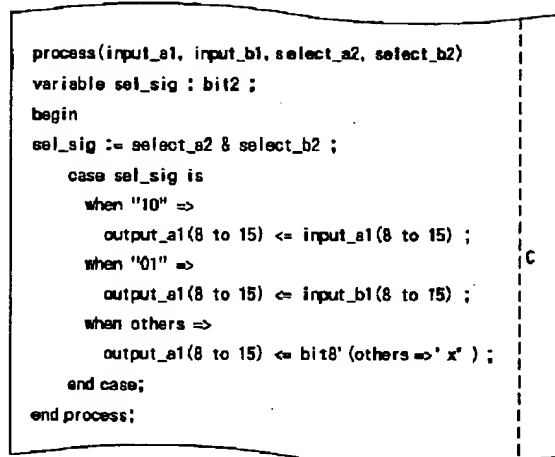
【図 1 5】

VHDL記述 2 9 の例を分図して示す図



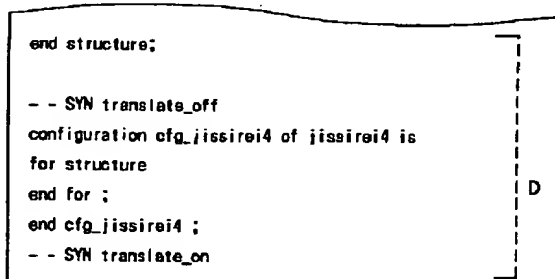
【図 1 7】

VHDL記述 2 9 の例を分図して示す図



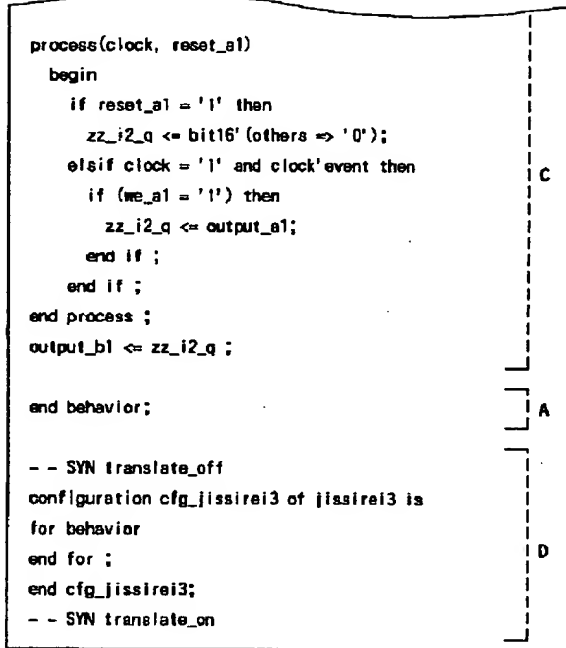
【図 2 5】

VHDL記述 4 0 の例を分図して示す図



【図 18】

VHDL記述 29 の例を分図して示す図



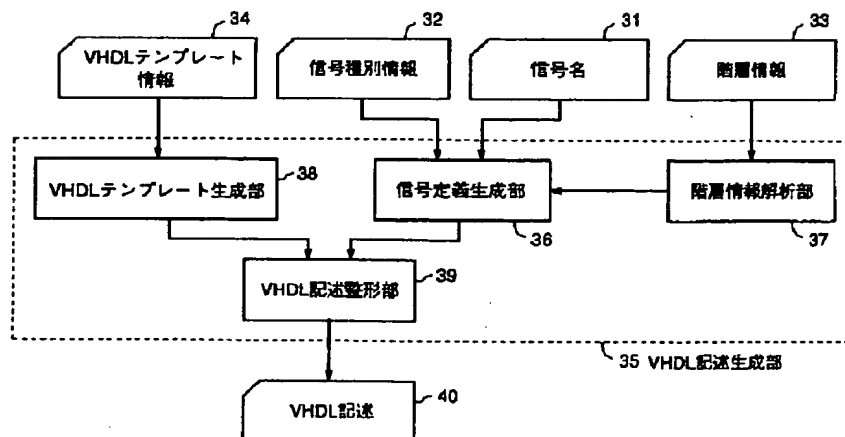
【図 21】

信号名 31 及び信号種別情報 32 の例を示す図

ブロック名: block1			
信号名	: タイプ	: bit/bus	: 信号幅
input_a1	: in	: bit	: 16
input_b1	: in	: bit	: 16
output_a1	: out	: bit	: 16
output_b1	: out	: bit	: 16
ブロック名: block2			
信号名	: タイプ	: bit/bus	: 信号幅
output_a1	: in	: bit	: 16
output_c1	: out	: bit	: 16
ブロック名: jissirei4			
信号名	: タイプ	: bit/bus	: 信号幅
input_a1	: in	: bit	: 16
input_b1	: in	: bit	: 16
output_a1	: out	: bit	: 16
output_c1	: out	: bit	: 16

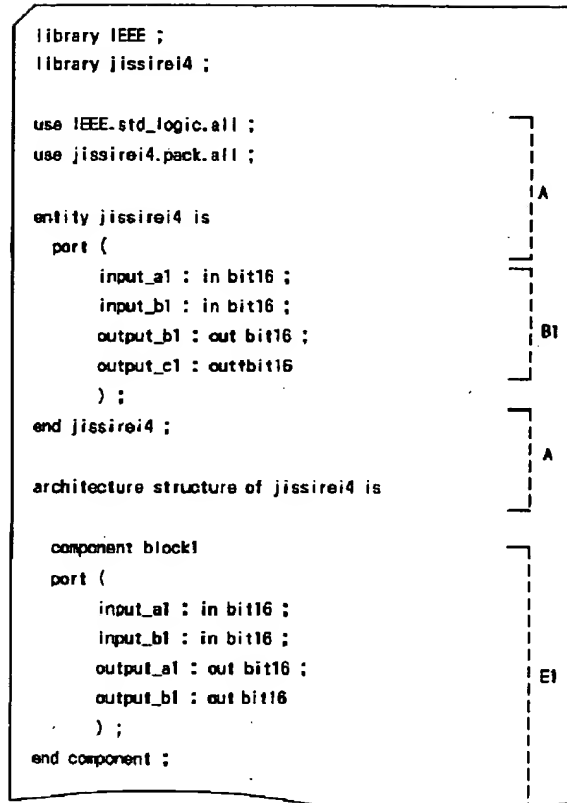
【図 19】

第 8 の発明の一実施形態の要部を示すブロック回路図



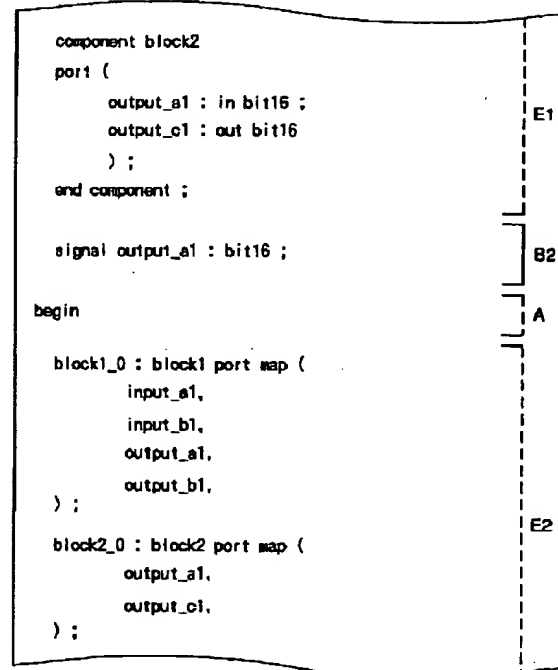
【図 2 3】

VHDL記述40の例を分図して示す図



【図 2 4】

VHDL記述40の例を分図して示す図



フロントページの続き

(72)発明者 三宅 英雄

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号 富士通株式会社内

(72)発明者 長沢 達也

神奈川県横浜市港北区新横浜 2 丁目 3 番 9
号 富士通デジタル・テクノロジー株式会
社内